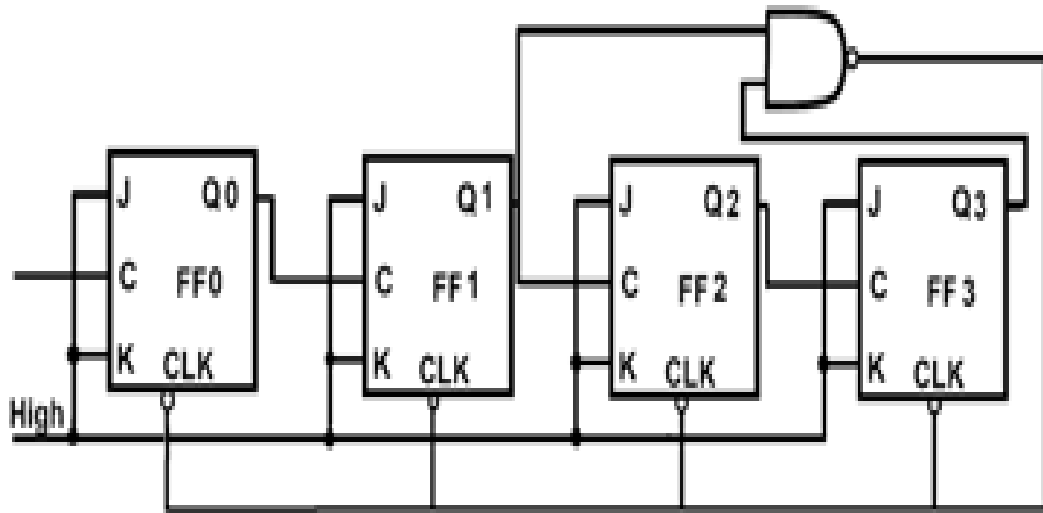


# العدادات

# COUNTERS



أعداد : محمد مالك محمد  
رئيس مهندسين

Chief Engineer Muhammad Malik

12/15/2013

**الخلاصة:**

أن هذا البحث يخص موضوع العدادات الألكترونية التي تدخل في تصميم العديد من الدوائر المنطقية الخاصة بتصنيع الحاسبات وأجهزة السيطرة وأجهزة الأذار المبكر وغيرها من الأجهزة التي تعمل في المصانع والمصافي ومراكز البحوث وغرف السيطرة في المجالات الصناعية والفضائية وغيرها.

وقد تطرق البحث الى النشاطات التي تمثل الوحدات الأساسية التي يتكون منها العداد والأنواع الرئيسية من العدادات وتصميمها وطريقة عملها .

وقد أعتمد البحث على الجانب النظري بشكل رئيسي لبيان بعض النشاطات الرئيسية وطريقة عملها بالاستعانة بالأمثلة التوضيحية ومن ثم التطرق الى تصميم العدادات وتوضيح طريقة عملها .

لذلك فإن هذا الموضوع لاغنى عنه بالنسبة للعاملين في المجالات الهندسية وأجهزة السيطرة في المصانع والمبرمجين الذين يعملون في المجالات المختلفة .

المحتويات :

3	..... المقدمة
4	..... COUNTERS العدادات
4	..... FLIP FLOP النطاق
8	..... Clocked R S Flip Flop النطاق R S المؤقت
10	..... J K النطاق
13	..... Delayed Flip Flop D نطاق التأخير
15	..... Four Bit Binary Counter العداد الثنائي الرباعي المراحل
19	..... Asynchronous Decade Counters العدادات العشرية غير المتزامنة
19	..... Binary Coded Decimal (BCD) العداد العشري ذو الشفرة الثنائية
21	..... Truncated Counters العدادات المقاطعة
23	..... Synchronous Counter العداد المتزامن
26	..... المصادر

## المقدمة :

تعتبر العدادات Counters من التطبيقات المهمة في الدوائر المنطقية حيث أنها تدخل في تصميم دوائر الحاسبات ودوائر السيطرة وغيرها .

لغرض دراسة العدادات Counters لابد لنا في بداية الأمر من معرفة ماهية مكونات العدادات وحيث أنها تتكون من مجموعة من النطاطات Flip Flops لذا كان لزاما علينا التطرق الى موضوع النطاطات Flip Flops وبيان كيفية تصميمها والأطلاع على الدائرة الألكترونية الأساسية دائرة متعدد الأهتزازات ثنائي الأستقرار Bitable Multivibrator التي تعتبر حجر الأساس في تصميم وبناء النطاطات وبعض أنواع النطاطات التي من الممكن أستخدامها في تصميم وبناء دوائر العدادات .

## COUNTERS

## العدادات

يتكون العداد Counter من مجموعة من النطاطات Flip flops المربوطة مع بعضها البعض .ويمكن تصنيف العدادات الى صنفين اعتمادا على طريقة اتصال نبضة التوقيت الى النطاطات وكما يأتي :

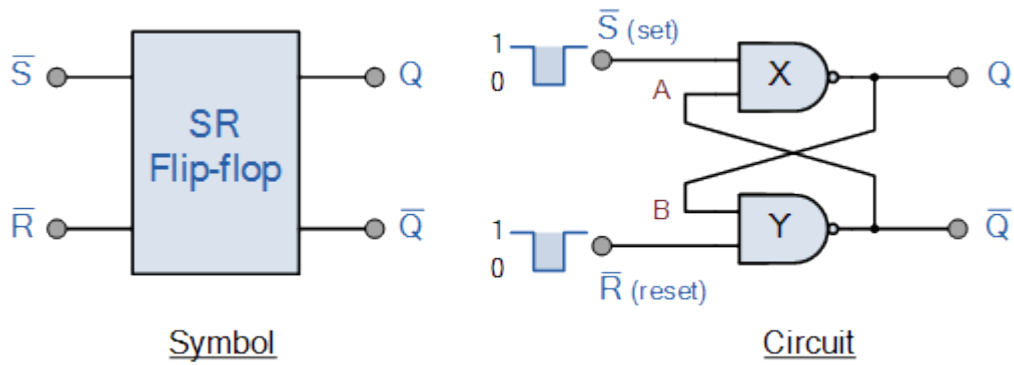
1- العداد المتزامن Synchronous Counter وفيه تربط ساعة التوقيت الى جميع النطاطات في العداد في آن واحد فتتغذى جميع النطاطات بنبضة التوقيت بشكل متزامن .

2- العداد غير المتزامن Asynchronous Counter وفيه تربط ساعة التوقيت الى النطاط الأول أما بقية النطاطات فأنها تحصل على نبضة التوقيت من إحدى نقطتي خروج النطاط السابق لها ولذلك يكون التوقيت في هذا النوع من العدادات غير متزامن ، اي أنه يوجد فرق في الزمن بين لحظة وصول نبضة التوقيت الى النطاط الأول والثاني والثالث وهكذا .

**لكي نفهم عمل العدادات علينا أن نفهم أولا عمل النطاط .**

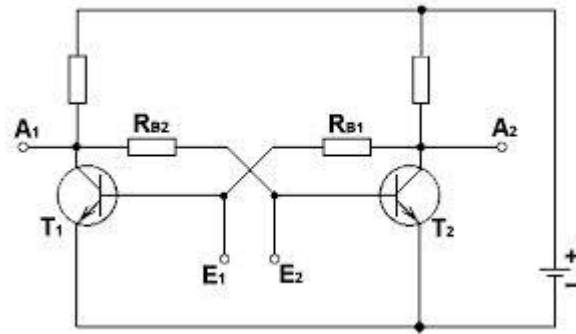
**النطاط FLIP FLOP :**

عبارة عن دائرة إلكترونية مكونة من ترانزستورين تدعى دائرة متعدد الأهتزازات ثنائي الاستقرار Bitable Multivibrator تكون إشارة الخروج فيها أما بقيمة عالية فيرمز لها بالقيمة المنطقية 1 Logic أو بقيمة واطئة فيرمز لها بالقيمة المنطقية 0 Logic حيث تبقى قيمة إشارة الخروج على ما هي عليه حتى يتم تسليط نبضة قرح Trigger voltage على دخول الدائرة Input كما موضح في المخطط المنطقي في الشكل .



[www.electronics.tutorials.ws/sequential/seq-1.html](http://www.electronics.tutorials.ws/sequential/seq-1.html)

ولبيان طريقة عمل الدائرة في المخطط المنطقي في الشكل أعلاه نستعين بالدائرة الألكترونية لمتعدد الأهتزازات ثنائي الأستقرار كما في الشكل .



[In,images.search.yahoo.com/yhs/search?-adv-prop=image&fv=yhs-babylon](http://in.images.search.yahoo.com/yhs/search?-adv-prop=image&fv=yhs-babylon)

في هذه الدائرة نرى ربطا تقاطعيا بين جامع الترانزستور الأول وقاعدة الترانزستور الثاني وبين جامع الترانزستور الثاني وقاعدة الترانزستور الأول فتكون تغذية عكسية بين الترانزستورين .

عندما يكون الترانزستور T1 في حالة أشباع فإن الفولتية على جامع T1 ستكون منخفضة فتؤثر على الترانزستور T2 فتجعله في حالة قطع (Cut off). وكذلك الحال عندما يكون الترانزستور الثاني T2 في حالة أشباع (Saturation) فتصل فولتية قليلة الى قاعدة الترانزستور الأول T1 أقل من  $V_{BE}$  فيكون T1 في حالة قطع

نستنتج مما تقدم وجود حالتين استقرار لهذه الدائرة، الأولى عندما يكون T1 في حالة أشباع يكون T2 في حالة قطع والعكس بالعكس ولهذا سميت هذه الدائرة بمتعدد الاهتزازات ثنائي الاستقرار .

للسيطرة على هذه الدائرة وجعلها في إحدى الحالتين السابقتين يجب إضافة فولتية قرح (Trigger Voltage) عن طريقين :

الطريق الأول من  $E_1$  يدعى خط التثبيت (Set line) .

الطريق الثاني من  $E_2$  يدعى خط التعديل (Reset line).

بعد إضافة هذين الخطين الى الدائرة يدعى هذا النوع من متعددات الاهتزازات بالنطاق (SET RESET FLIP FLOP)

ففي الدائرة في الشكل أعلاه عند تسليط فولتية عالية 1 Logic على خط التثبيت (Set line) الممثل بالنقطة E1 فإنها تثبت النطاق فيكون خروج الدائرة

$$A_1=0 \text{ و } A_2=1$$

أما إذا سلطنا فولتية عالية 1 Logic على خط التعديل (Reset line) الممثل بالنقطة E2 فإنها ستجعل النطاق في حالة تعديل فيكون خروج الدائرة

$$A_2=0 \text{ و } A_1=1$$

من هنا يمكن الاستنتاج بأن خروج النطاق يكون في خط التعديل بالقيمة المتممة لخروج النطاق في خط التثبيت ، يمكننا الآن تكوين جدول الحقيقة (Truth table) لحالات خروج النطاق عند تسليط الأشارات المختلفة كما يأتي :

S	R	Y
0	0	لا تتغير حالة النطاق
0	1	0
1	0	1
1	1	لا يمكن استخدامها

حيث أن  $Y$  تمثل  $A_2$  في الدائرة و  $\bar{Y}$  تمثل  $A_1$

يمكن توضيح الاحتمالات الأربعة في جدول الحقيقة أعلاه كما يأتي:

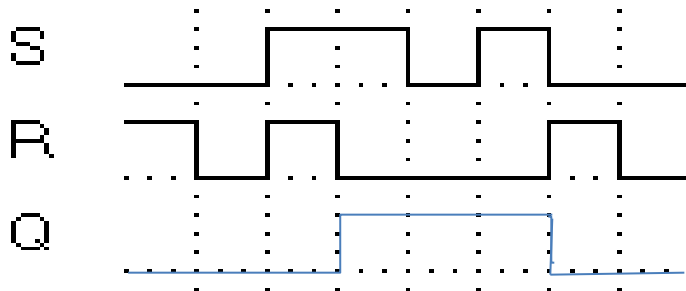
1- عندما تكون كل من  $S=0$  و  $R=0$  أي في حالة عدم تسليط فولتية قدح (Trigger Voltage) فنتيجة لذلك تبقى حالة النطاق كما كانت عليه سابقا بدون تغيير اي كما في السابقة (Last State)

2- عندما تكون  $S=0$  و  $R=1$  أي عندما تسليط فولتية القدح على المدخل  $R$  تكون إشارة الخروج  $Y=0$  أي أن  $\bar{Y}=1$ .

3- عندما تكون  $S=1$  و  $R=0$  أي عندما تسليط فولتية القدح على المدخل  $S$  تكون إشارة الخروج  $Y=1$  و  $\bar{Y}=0$ .

4- عندما تكون  $S=1$  و  $R=1$  في هذه الحالة لا يمكن السيطرة على الدائرة لأن هذه الحالة تعني بأننا نحصل على إشارة الخروج  $Y$  بالقيمتين  $Logic 1$  و  $Logic 0$  في آن واحد وهذا مالا يمكن أن يحدث .

مثال : أدخلت النبضات الآتية الى النطاق  $RS$  حدد شكل إشارة الخروج بأفترض أن القيمة الابتدائية لها تساوي  $Logic 0$ .



$Q$  تمثل الإشارة الخارجة من النطاق اعتمادا على الاحتمالات الموجودة في جدول الحقيقة.



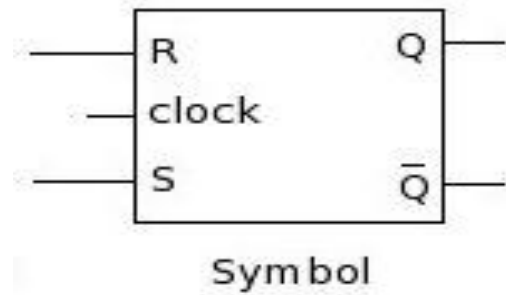
### النطاق RS المؤقت Clocked RS Flip flop :

يمكن إدخال نبضة توقيت الى النطاق عن طريق إضافة بوابتين من نوع AND الى مدخلي النطاق للتحكم في عمل النطاق حيث أنه لا يمكن دخول الإشارة الى النطاق ما لم تكن إشارة نبضة التوقيت عالية (1) Logic كما في الشكل .

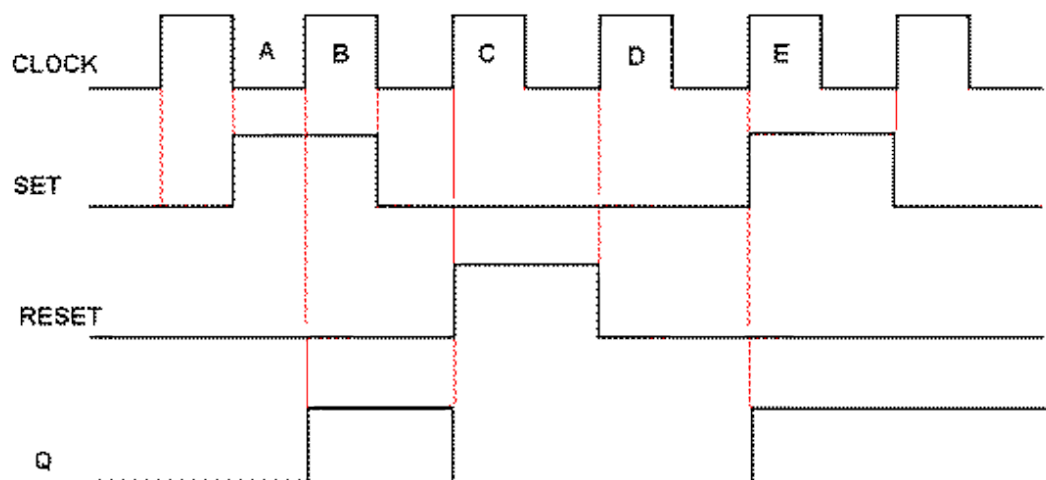


[http://www.google.iq/search?q=RS+flip+flop&hl=ar&biw=1440&bih=799&tbn=isch&tbo=u&source=univ&sa=X&ei=LkWcUu3XOs\\_KswbnoIH4Bw&ved=0CCYQsAQ](http://www.google.iq/search?q=RS+flip+flop&hl=ar&biw=1440&bih=799&tbn=isch&tbo=u&source=univ&sa=X&ei=LkWcUu3XOs_KswbnoIH4Bw&ved=0CCYQsAQ)

هذا النوع من النطاقات يمكن التحكم به عن طريق نبضة ساعة التوقيت حيث أنه عندما تكون نبضة ساعة التوقيت بقيمة صفر (0) فإن أشارتي الدخول الى النطاق (R S) تكون بقيمة صفر (0) مهما كانت قيم الأشارات الداخلة الى الطرفين R و S أما إذا كانت نبضة ساعة التوقيت بقيمة (1) فإن أشارتي الدخول الى النطاق تعتمد قيمتها على قيم الأشارات الداخلة الى الطرفين R و S .



مثال : أدخلت النبضات الآتية الى النطاق RS المؤقت حدد شكل إشارة الخروج مع  
أفترض أن الحالة الابتدائية لخروج النطاق هي Logic 0 .

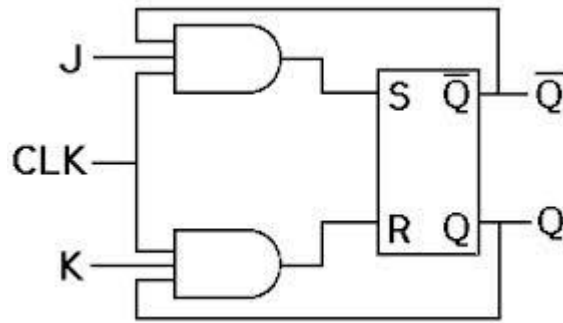


[http://www.hobbyprojects.com/flip\\_flop/clocked\\_R-S\\_flip-flop.html](http://www.hobbyprojects.com/flip_flop/clocked_R-S_flip-flop.html)

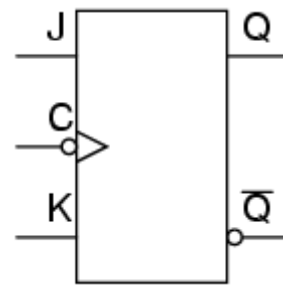
- 1- عندما تكون نبضة التوقيت الأولى A بقيمة (1) وتكون كل من قيمتي R و S بقيمة واطئة لاتحدث عملية تغيير في الأشارة الخارجة .
- 2- عند نبضة التوقيت الثانية B قيمة S=1 وقيمة R=0 فتصبح Q بقيمة (1) .
- 3- عند نبضة التوقيت الثالثة C قيمة S=0 وقيمة R=1 فتصبح Q بقيمة (0) .
- 4- عند نبضة التوقيت الرابعة D قيمة S=0 وقيمة R=0 فلا يحدث تغيير في أشارة الخروج .
- 5- عند نبضة التوقيت الخامسة E قيمة S=1 وقيمة R=0 فتصبح Q بقيمة (1)

## النظام JK JK flip flop

يمكن الحصول على النظام JK من النظام RS كما يأتي :



أما الرمز المنطقي للنظام JK فهو :



<http://www.google.iq/search?q=jk+flip+flop&hl=ar&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=iz-cUsOILavNygPFqoGIDg&ved=0CCYQsAQ#imgdii=>

أما جدول الحقيقة لهذا النطاق فهو :

Clock	J	K	Q
X	0	0	Last State
1	0	1	0
1	1	0	1
1	1	1	Last State

أن حالات عمل النطاق هي كما يأتي:

- 1- عندما تكون كل من  $J=0$  و  $K=0$  في هذه الحالة تكون كل من بوابتي AND في حالة أبطال فتبقى كل من Q و  $\bar{Q}$  على ما كانت عليه .
  - 2- عندما تكون  $J=0$  و  $K=1$  ففي هذه الحالة تكون بوابة AND العليا في حالة أبطال Disable وبوابة AND السفلى في حالة تمكين Enable . فعندما تكون قيمة Q السابقة تساوي (1) وعند الأنحدار السالب لنبضة التوقيت تصبح قيمة Q الجديدة (0) أي الحالة الثانية في جدول الحقيقة أي حالة التعديل Reset .
  - 3- عندما تكون  $J=1$  و  $K=0$  ففي هذه الحالة تكون بوابة AND السفلى في حالة أبطال Disable وبوابة AND العليا في حالة تمكين Enable ، في هذه الحالة تتم حالة التثبيت Set للنطاق .
  - 4- عندما تكون  $J=1$  و  $K=1$  في هذه الحالة من الممكن تثبيت أو تعديل حالة النطاق ويتم ذلك كما يأتي :
- إذا كانت قيمة Q السابقة تساوي صفراً (0) فإن البوابة العليا تكون في حالة تمكين Enable والبوابة السفلى تكون في حالة أبطال Disable في هذه

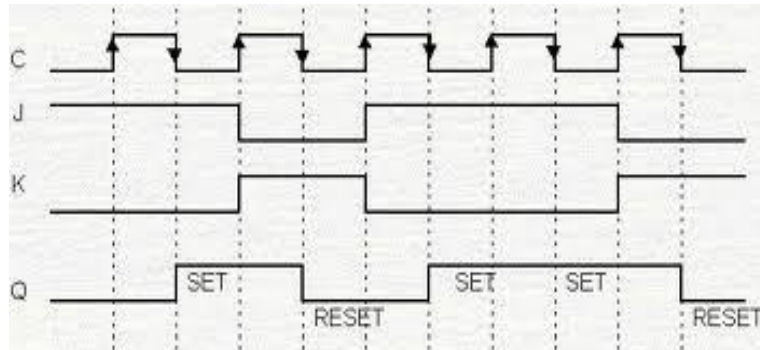
الحالة تكون قيمة  $S=1$  أي حالة تثبيت عند الأنحدار السالب لنبضة التوقيت .Set

أما إذا كانت قيمة  $Q$  السابقة تساوي (1) فإن البوابو العليا تكون في حالة أبطال Disable والبوابة السفلى تكون في حالة تمكين Enable وعند الأنحدار السالب لنبضة التوقيت يصبح النطاق في حالة تعديل Reset أي حصول تغيير في حالة النطاق أيضا .

يمكن تلخيص الحالة الأخيرة بأن قيمة إشارة الخروج تساوي القيمة المتممة لإشارة الدخول (أي انقلاب الحالة) كما موضح في جدول الحقيقة .

مثال: أدخلت النبضات الآتية الى النطاق JK حدد شكل إشارة الخروج مع

أفترض أن الحالة الابتدائية لخروج النطاق هي Logic 0 .

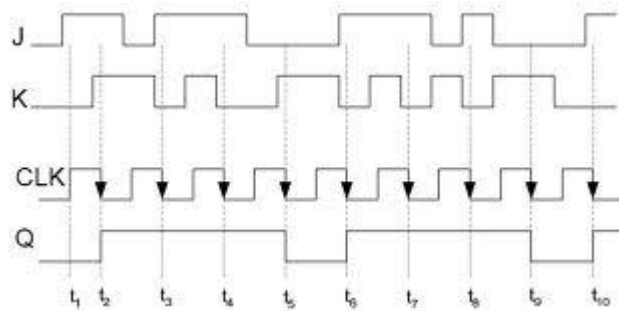


<http://www.google.iq/search?q=jk+flip+flop&hl=ar&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=iz-cUsOILavNygPFqoGIDg&ved=0CCYQsAQ#imgdii=>

- 1- أن هذا النطاق يعمل عند الأنحدار السالب لنبضة التوقيت .
- 2- عند الأنحدار السالب للنبضة الأولى  $J=1$  و  $K=0$  لذلك تصبح  $Q$  بقيمة 1 فيكون النطاق في حالة التثبيت.
- 3- عند الأنحدار السالب للنبضة الثانية  $J=0$  و  $K=1$  لذلك تصبح  $Q$  بقيمة 0 فيكون النطاق في حالة التعديل .

- 4- عند الأنحدار السالب للنبضة الثالثة  $J=1$  و  $K=0$  لذلك تصبح  $Q$  بقيمة 1 فيعود النطاق الى حالة التثبيت .
- 5- عند الأنحدار السالب للنبضة الرابعة  $J=1$  و  $K=0$  لذلك تبقى  $Q$  بقيمة 1 فيبقى النطاق في حالة التثبيت.
- 6- عند الأنحدار السالب للنبضة الخامسة  $J=0$  و  $K=1$  لذلك تصبح  $Q$  بقيمة 0 فيعود النطاق الى حالة التعديل.

مثال: أدخلت النبضات الآتية الى النطاق JK حدد شكل إشارة الخروج مع افتراض أن الحالة الابتدائية لخروج النطاق هي Logic 0

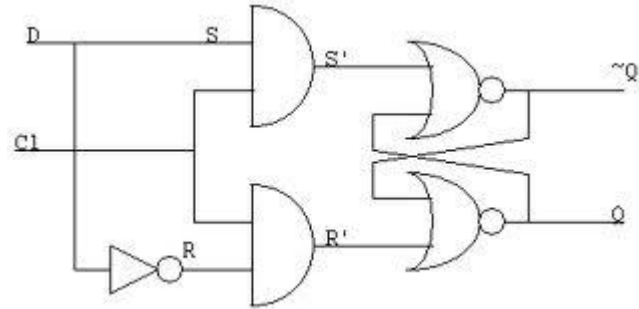


<http://www.google.iq/search?q=jk+flip+flop&hl=ar&biw=1440&bih=763&tbm=isch&tbo=u&source=univ&sa=X&ei=iz-cUsOILavNygPFqoGIDg&ved=0CCYQsAQ#imgdii=>

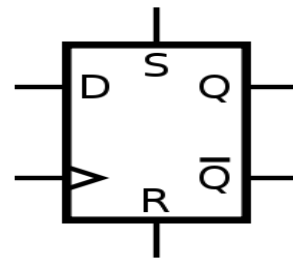
### Delayed Flip Flop

### نطاق التأخير D

أحدى الطرق المستخدمة لتصميم النطاق D هي بأستخدام النطاق RS وكما ميين في الشكل \_\_\_\_\_ كل :



أما الرمز المنطقي للنظام فهو :



<http://www.google.iq/search?q=Delay+flip+flop&hl=ar&biw=1440&bih=799&tbm=isch&tbo=u&source=univ&sa=X&ei=i0GcUovnOcbNygPiyYDQBw&ved=0CDMQsAQ>

أما جدول الحقيقة Truth Table لهذا النظام فهو :

Clock	D	Q
0	X	Last State
1	0	0
1	1	1

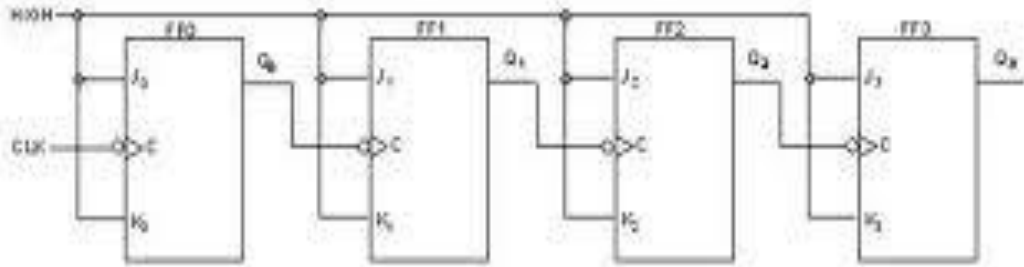
في هذا النوع من النماطات قيمة D الداخلة تمنع من الوصول الى Q الا عند وصول نبضة التوقيت .

عندما تكون إشارة نبضة التوقيت منخفضة تكون بوابتي AND في حالة أبطال Disabled لذلك لا تتغير قيمة Q بتغير قيمة D .





أن هذا العدادا يقوم بعد نبضات القدح الداخلة إليه . أحدى الطرق للحصول على هذه النوعية من العدادات هي المبينة في الشكل .



[http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNYgO\\_9IH4CA&ved=0CDQQsAQ](http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNYgO_9IH4CA&ved=0CDQQsAQ)

في هذا العداد نلاحظ أن نقاط ال J و ال K للنطاطات جميعا مربوطة الى مصدر الفولتية العالي HIGH للدائرة وأن هذه النطاطات تتغير حالتها عند الأنحدار السالب لنبضة التوقيت كما بينا سابقا ، وأن الإشارة الخارجة من النطاط الأول تقدح النطاط الثاني والإشارة الخارجة من النطاط الثاني تقدح النطاط الثالث والإشارة الخارجة من النطاط الثالث تقدح النطاط الرابع وهكذا ولذلك فإن هذا العداد يسمى بالعداد المتوالي Serial Counter ويسمى أيضا بالعداد غير المتزامن Asynchronous Counter لأن نبضة القدح تنتقل من نطاط الى آخر كما تنتقل الموجة على سطح الماء.

لتفسير عمل هذا العداد لنفترض أن تكون النطاطات المكونة له في حالة التعديل Reset أي أن إشارة الخروج فيها جميعا تساوي صفر (0) فتكون الحالة الأولى لخروج العداد

$$DCBA=0000$$

الآن عند دخول النبضة الأولى لساعة التوقيت وعند الأنحدار السالب لها أي عندما تتغير من ال 1 الى ال 0 فتتغير حالة خروج النطاط من ال 0 الى ال 1 عند نهاية النبضة الأولى فتصبح حالة خروج العداد

$$DCBA=0001$$

أن هذا التغيير الموجب لخروج النطاق من ال 0 الى ال 1 لأيوثر على النطاق B لأنه يستجيب فقط للتغيير السالب للنبضة الداخلة أي التغيير من ال 1 الى ال 0 وعند وصول النبضة الثانية لساعة التوقيت فإن النطاق A يغير حالته من ال 1 الى ال 0 عند نهايتها السالبة وهذا التغيير السالب يجعل النطاق B يتغير من ال 0 الى ال 1 فتصبح حالة خروج العداد

DCBA=0010

وبما أن هذا التغيير في حالة النطاق B موجبا أي من ال 0 الى ال 1 فإنه لا يؤثر على النطاق C .

الآن عند وصول النبضة الثالثة لساعة التوقيت فإن النطاق A يغير حالته من ال 0 الى ال 1 عند نهايتها السالبة وهذا التغيير الموجب لا يؤثر على النطاق C فتصبح حالة خروج العداد

DCBA=0011 الى ال

وعند وصول النبضة الرابعة لساعة التوقيت فإن النطاق A يغير حالته من ال 1 الى ال 0 عند نهايتها السالبة يؤدي الى تغيير خروج النطاق B من ال 1 الى ال 0 وهذا التغيير السالب يؤدي الى أن النطاق C يغير حالته أيضا من ال 0 الى ال 1 فتصبح حالة خروج العداد

DCBA=0100

يتبين لنا مما سبق بأن حالة خروج العداد مطابقة للأرقام الثنائية المتعاقبة المكافئة لرقم النبضة الداخلة وبالأستمرار بأدخال النبضات الى العداد يمكن الحصول على جدول الحقيقة Truth Table لهذا العداد كما يأتي :

Clock Pulse	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0

3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

### جدول الحقيقة للعداد الثنائي الرباعي المراحل

بعد النبضة الخامسة عشر لساعة التوقيت قيمة A تتغير من ال 1 الى ال 0 وهذا التغير السالب يؤدي الى أن قيمة B تتغير من ال 1 الى ال 0 وهذا التغير السالب يؤدي الى أن قيمة C تتغير من ال 1 الى ال 0 وهذا التغير السالب يؤدي الى أن قيمة D تتغير من ال 1 الى ال 0 أي أن جميع النطاطات تصبح في حالة التعديل Reset كما مبين في الصف الأخير من جدول الحقيقة .

من هنا نرى أن هذا العداد الثنائي يستطيع حساب الأرقام (من 0 الى 15) فأذا رمزنا الى الرقم الذي يستطيع العداد قراءته بالرمز N وعدد النطاطات المستخدمة في بناء العداد بالرمز n فيمكن إيجاد العلاقة التي تربط بينهما وفق المعادلة :

$$N=2^n-1$$

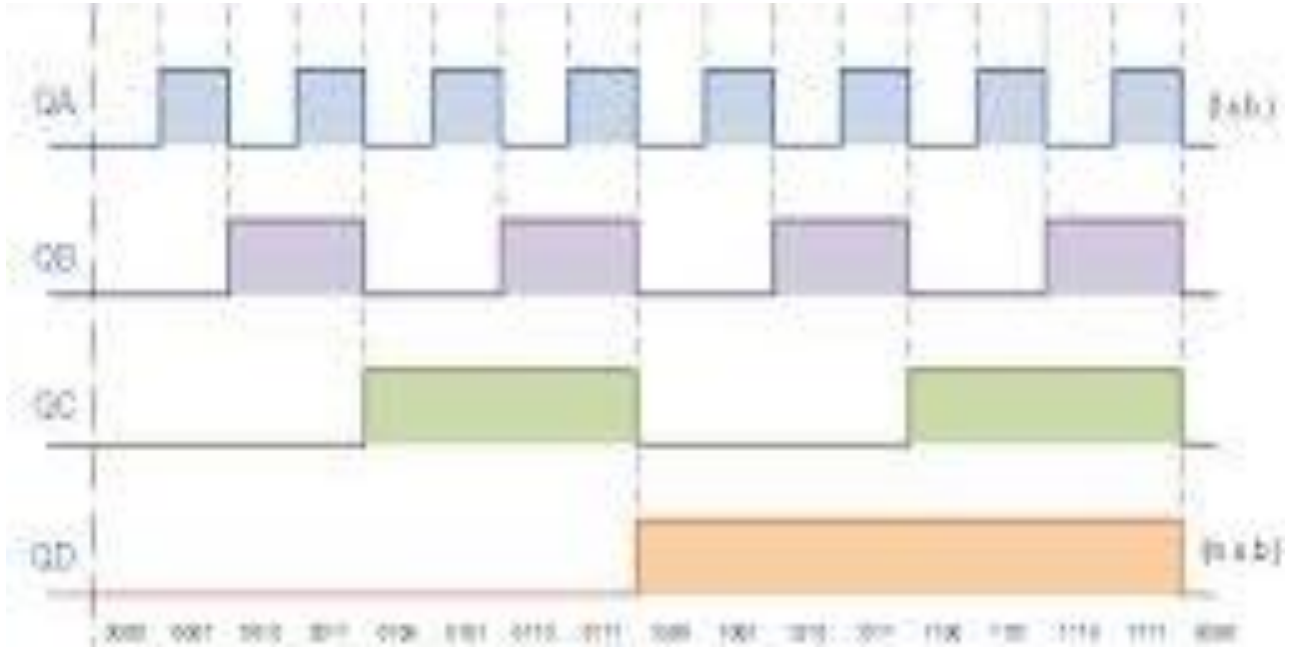
فعندما تكون قيمة  $n=3$  فإن أكبر عدد يستطيع العداد حسابه هو

$$N=2^3-1=7$$

وعندما تكون قيمة  $n=5$  فإن أكبر عدد يستطيع العداد حسابه هو

$$N=2^5-1=31$$

أما المخطط الزمني لهذا العداد فهو كما في الشكل \_\_\_\_\_ كل :



[http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO\\_9IH4CA&ved=0CDQQsAQ](http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ)

## العدادات العشرية غير المتزامنة (المتوالية) Asynchronous Decade Counter

أستنادا الى المعادلة التي تم ذكرها سابقا :

$$N=2^n-1$$

يمكن استخدام النطاطات لتصميم عدادات يمكنها حساب أي رقم من الأرقام أعتمادا على عدد النطاطات المستخدمة . ولكن لحساب أرقام أقل من الأرقام التي نحصل

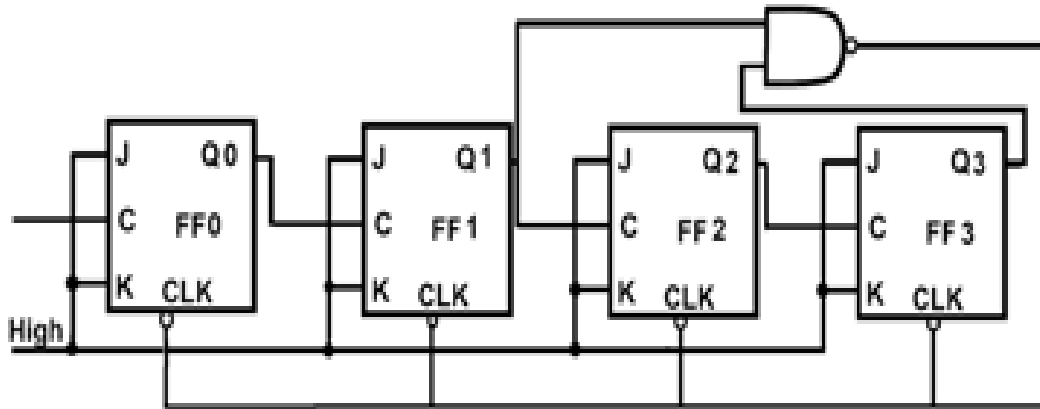
عليها من المعادلة أعلاه كأن يحسب العداد لغاية الرقم 12 مثلا في حالة استخدام أربعة نطاقات أو أن يحسب العداد لغاية الرقم 4 مثلا في حالة استخدام ثلاثة نطاقات . تدعى هذه النوعية من العدادات بالعدادات المقاطعة Truncated Counter والنوعية الأكثر شيوعا من هذه العدادات هي العداد العشري Decade Counter التي تحسب من (0)(0000) لغاية (9)(1001) باستخدام نظام الأعداد المسمى Binary Coded Decimal (BCD) . أن شفرة ال BCD نحتاج إليها في التحويل الى النظام العشري لذلك هذه النوعية من العدادات تعتبر من النوعيات المهمة في التطبيقات العملية.

للحصول على تتابع عددي مقطوع عند عدد محدد يجب التأثير على العداد ليقوم بأعادة دورة العد من الصفر (0) قبل الوصول الى النهاية الطبيعية لدورته المعتادة وفق المعادلة :

$$N=2^n-1$$

## العداد العشري ذو الشفرة الثنائية (BCD) Binary Coded Decimal

لبناء العداد العشري ذو الشفرة الثنائية (BCD) فيجب إعادة العداد الى الرقم (0) (0000) في النبضة التالية لحالة العداد في الرقم (9) (1001) ، في هذه الحالة يجب استخدام أربعة نطاقات لبناء هذا العداد من النوع المتوالي (Asynchronous Counter) كما موضح في الشكل :

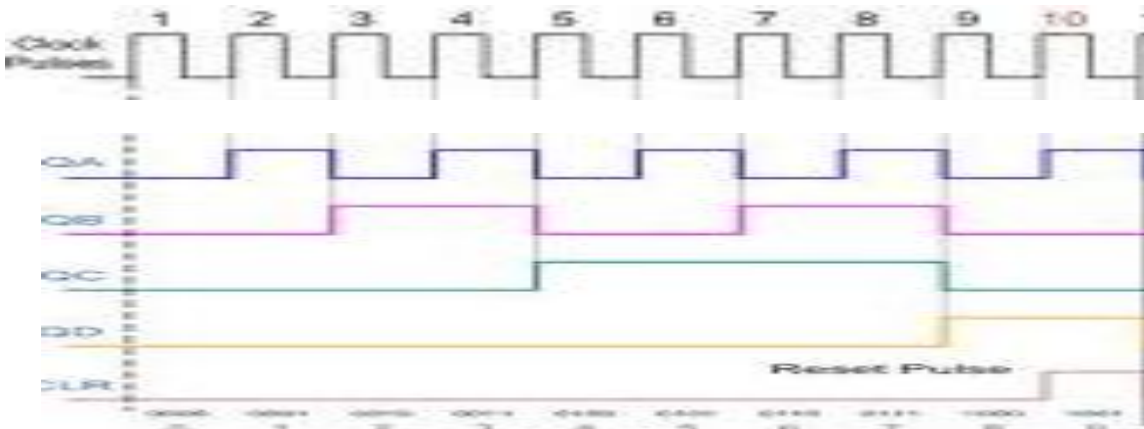


[http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO\\_9IH4CA&ved=0CDQQsAQ#q=binary%20coded%20decimal%20counter&tbm=isch](http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ#q=binary%20coded%20decimal%20counter&tbm=isch)

للتحكم بأعادة دورة العد (Recycling) بعد عد الرقم (9) (1001) هي حذف الرقم (10)(1010) بأستخدام بوابة ليس مع (NAND Gate) وربط خروج هذه البوابة الى مداخل التعديل (CLK) في جميع النطاطات كما موضح في الشكل أعلاه.

يلاحظ في الشكل أن خروج النطاطين الثاني والرابع مربوطان الى البوابة NAND وفي هذه الحالة عندما يصبح خروج النطاطين الثاني والرابع بقيمة (1) وهذه الحالة تحصل عند الوصول لحساب الرقم (10)(1010) فعندها يصبح خروج بوابة NAND بقيمة (0) يؤدي هذا الى تعديل خروج جميع النطاطات المستخدمة على التوالي Asynchronous By Reset .

أما المخطط الزمني لهذه النوعية من العدادات فموضح في الشكل التالي :



[http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO\\_9IH4CA&ved=0CDQQsAQ#q=binary%20coded%20decimal%20counter&tbm=isch](http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNygO_9IH4CA&ved=0CDQQsAQ#q=binary%20coded%20decimal%20counter&tbm=isch)

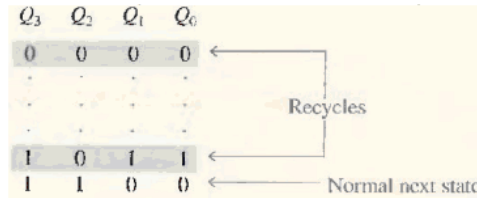
أما جدول الحقيقة لهذا العداد فهو كما يأتي :

Clock Pulse	FF3	FF2	FF1	FF0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0

3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	1	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

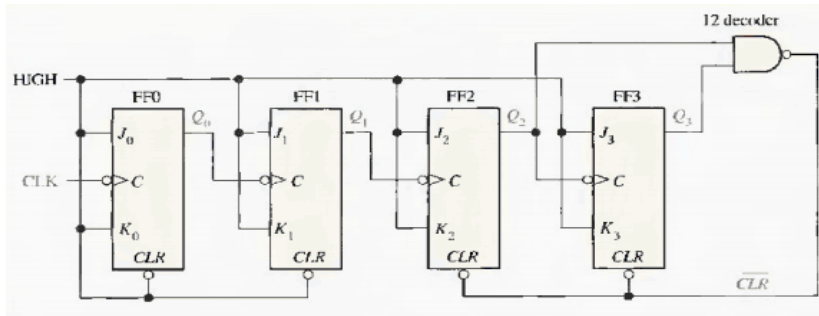
## العدادات المقاطعة Truncated Counters

كما ذكرنا سابقا فإن العدادات المقاطعة هي العدادات التي تقطع دورة العد عند رقم معين أي انها تحسب أرقام أقل من الرقم المحدد في المعادلة التي تم ذكرها آنفا وكمثال على ذلك يمكن تصميم عداد ثنائي رباعي المراحل ولكنه بدلا من أن يكمل دورة العد من الصفر (0) لغاية العدد (15) سنجعله يقطع عملية العد عند العدد (11) أي أنه يعود الى العدد (0) قبل أن يحسب العدد (12) كما مبين في المخطط الآتي:



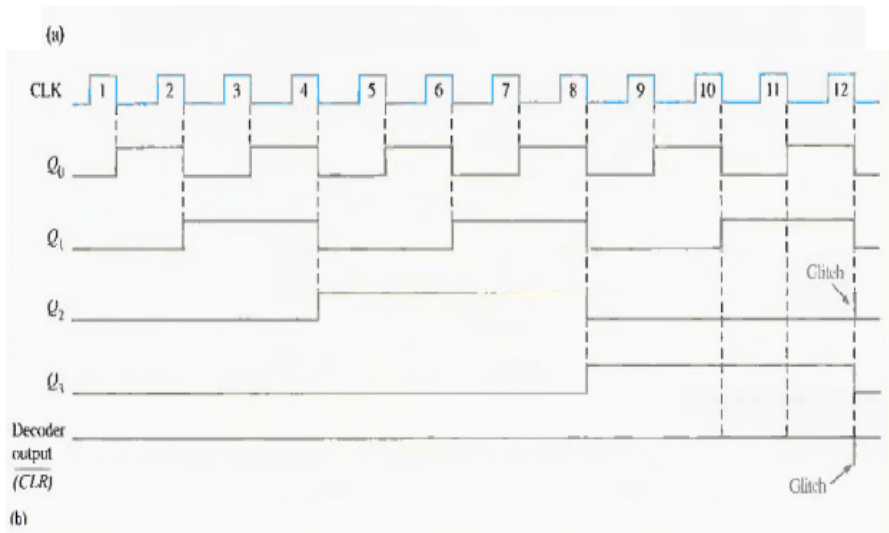
هنا نلاحظ أن  $Q_0$  و  $Q_1$  تعودان الى حالة الصفر بعد حساب العدد  $(11)_{10}$  مباشرة وهذا يعني أنه يجب علينا التحكم في ال  $Q_C$  وال  $Q_D$  عند النبضة الثانية عشر من ساعة التوقيت وجعلها تعود الى الصفر .

بأستخدام بوابة (ليس مع) (NAND) يمكن تعديل خروج النطاطين C و D (Reset C & D Flip Flop) فعند النبضة الثانية عشر يعود العداد بالحساب من العدد  $(11)_{10}$  الى العدد  $(0)_{10}$  كما في الشكل الآتي .



[http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNyGO\\_9IH4CA&ved=0CDQQAQ#q=timing+diagram+of+truncated+counters&tbm=isch](http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNyGO_9IH4CA&ved=0CDQQAQ#q=timing+diagram+of+truncated+counters&tbm=isch)

أما المخطط الزمني لهذا العداد فموضح في الشكل \_\_\_\_\_ كل .



[http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNyGO\\_9IH4CA&ved=0CDQQAQ#q=timing+diagram+of+truncated+counters&tbm=isch](http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNyGO_9IH4CA&ved=0CDQQAQ#q=timing+diagram+of+truncated+counters&tbm=isch)

أما جدول الحقيقة لهذا العداد فهو كما يأتي : \_\_\_\_\_ ي :

Clock Pulse	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0	0



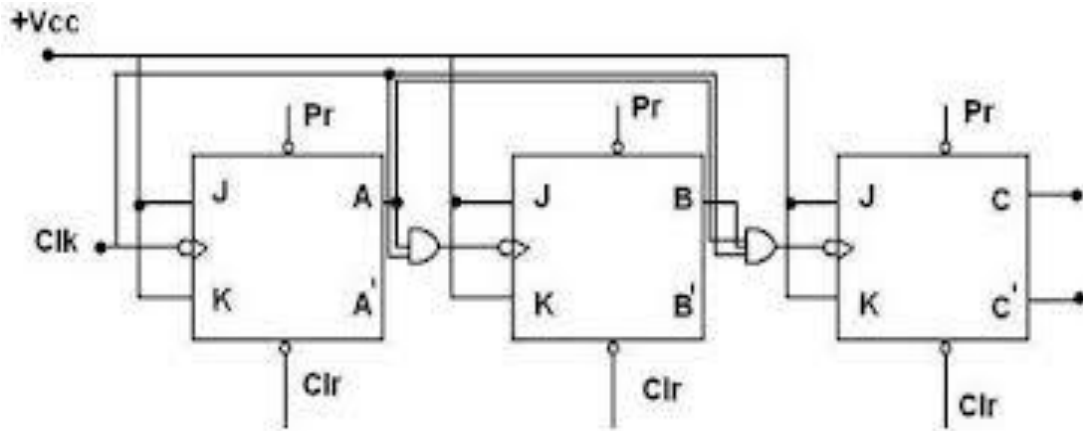
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	1	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	0	0	0	0

### العداد المتزامن Synchronous Counter

في هذا النوع من العدادات يتم قرح Trigger جميع النطاطات المستخدمة في هذا العداد في نفس الوقت بواسطة ساعة التوقيت التي تربط بشكل متوازي الى جميع النطاطات حيث تصل نبضة التوقيت إليها جميعا في آن واحد فتكون عملية التحويل في هذا النوع من العدادات في آن واحد لذلك فإن التسمية الأخرى لهذا العداد هي العداد المتوازي Parallel Counter .

في هذا النوع من العدادات يتم التخلص من التأخير في الزمن الذي يحدث في العداد المتوالي والذي هو بحدود  $20 n \text{ sec}$  لكل نطاط .

الشكل الآتي يبين إحدى الحالات للعداد الثنائي المتزامن .



[http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNYgO\\_9IH4CA&ved=0CDQQsAQ#q=timing+diagram+of+counters&tbm=isch](http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNYgO_9IH4CA&ved=0CDQQsAQ#q=timing+diagram+of+counters&tbm=isch)

يمكن تزويد دائرة النطاق بمدخل أخرى Pr و Clr للتحكم في عمل النطاق بدون تأثير ساعة التوقيت وتسمى هذه المدخلات :

Pr=PRESET

Clr=CLEAR

كما علمنا سابقاً فإن النطاق نوع JK يستجيب للتغير السالب لأشارات الدخول القادمة من ساعة التوقيت وبناءً على ذلك فإن النطاق A يغير حالته عند الحافة السالبة لجميع نبضات التوقيت .

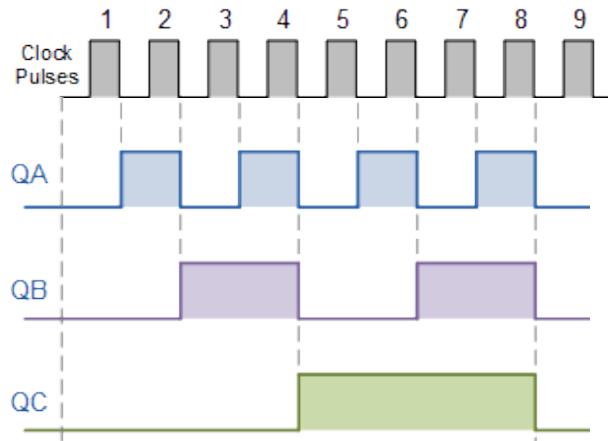
أن الإشارة الخارجة من بوابة AND الأولى تكون بقيمة (1) عندما تكون كل من  $A=1$  ونبضة ساعة التوقيت تساوي (1) ، هذا يعني أن النطاق B يغير حالته عند مرور نبضتين متتاليتين من ساعة التوقيت حيث أنه عند النبضة الثانية ستتغير A من ال (1) الى ال (0) مما يؤدي الى أن خروج بوابة AND يتغير من ال (1) الى ال (0) وهو تغير سالب يؤدي الى تغيير حالة النطاق B .

أن الإشارة الخارجة من بوابة AND الثانية تكون بقيمة (1) عندما تكون كل من  $A=1$  و  $B=1$  ونبضة ساعة التوقيت تساوي (1) ، هذا يعني أن النطاق C يغير حالته عند مرور أربع نبضات متتالية من ساعة التوقيت وهذه الحالة تمثل إحدى

حالات العداد المتوازي المسماة Mod-8 Parallel Binary Counter ، أما جدول الحقيقة Truth Table لهذا العداد فهو كما يأتي :

Count	C	B	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0

أما المخطط الزمني لهذا العداد فهو :



[http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNYgO\\_9IH4CA&ved=0CDQQsAQ#q=timing+diagram+of+counters&tbm=isch](http://www.google.iq/search?q=four+bit+binary+counter&biw=1440&bih=763&tbm=isch&bo=u&source=univ&sa=X&ei=1XedUtq6JuTNYgO_9IH4CA&ved=0CDQQsAQ#q=timing+diagram+of+counters&tbm=isch)

## المصادر :

1- Malvino, Albert Paul

Leach, Donald P

Digital Principles and applications.

2-Sifferlen, Thomas P

Vartanian, Vartan

Digital electronics with engineering applications.

Prentice –Hall, Inc.

Englewood Cliffs, Newgersy, 1970.

3-

باري وولارد

الدوائر المتكاملة الرقمية والحاسبات

دار ماكجروهيل للنشر – جمهورية مصر العربية

ترجمة الدكتور عماد الدين خلف الحسيني والدكتور شوقي زكي عبيد

4-

مواقع متفرقة على شبكة الأنترنت